

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-268150
(43)Date of publication of application : 28.09.2001

(51)Int.Cl. H04L 27/36
H03F 1/32
H03F 1/34
H03F 3/24
H04L 27/20

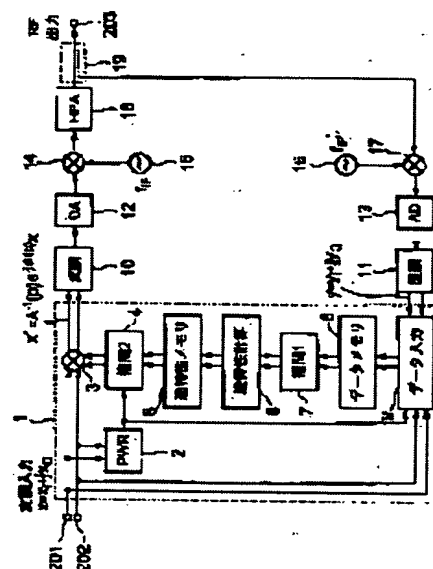
(21)Application number : 2000-077353 (71)Applicant : HITACHI KOKUSAI ELECTRIC INC
(22)Date of filing : 21.03.2000 (72)Inventor : ONISHI MAKOTO
SASA ATSUSHI

(54) LINEARIZER

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a circuit configuration with which circuit scale is reduced and a high speed operation and high-accuracy compensation is realized in a nonlinear compensation circuit of an adaptive predistortion system having a local demodulator.

SOLUTION: The fluctuation range of an input signal level is expressed with a plurality of signal level representative points, a compensation coefficient is calculated only at the representative points, and compensation coefficients at other levels are found by interpolation so that the circuit scale can be reduced and operations can be accelerated. Besides, concerning the calculation of the compensation coefficient, the calculation is recursively performed by a feedback loop using a cumulative multiplier so that high-accuracy compensation is enabled.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(11)特許出願公開番号
特開2001-268150
(P2001-268150A)
(43)公開日 平成13年9月28日(2001.9.28)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード [*]	(参考)
H04L 27/36		H03F 1/32	5J090	
H03F 1/32		1/34	5J091	
1/34		3/24	5K004	
3/24		H04L 27/20	C	
H04L 27/20		27/00	F	
		審査請求	未請求	請求項の数18
				〇 L (全22頁)

(21)出願番号 特願2000-77353(P 2000-77353)

(22)出願日 平成12年 3 月21日 (2000. 3. 21)

特許法第30条第1項適用申請有り 2000年3月7日 社
団法人電子情報通信学会発行の「2000年電子情報通信学
会総合大会講演論文集 通信1」に発表

(71)出願人 000001122

株式会社日立国際電気

東京都中野区東中野三丁目14番20号

(72) 発明者 大西 誠

東京都小平市御幸町32番地 日立電子株式
会社小金井工場内

(72) 発明者 佐々 敦

東京都小平市御幸町32番地 日立電子株式
会社小金井工場内

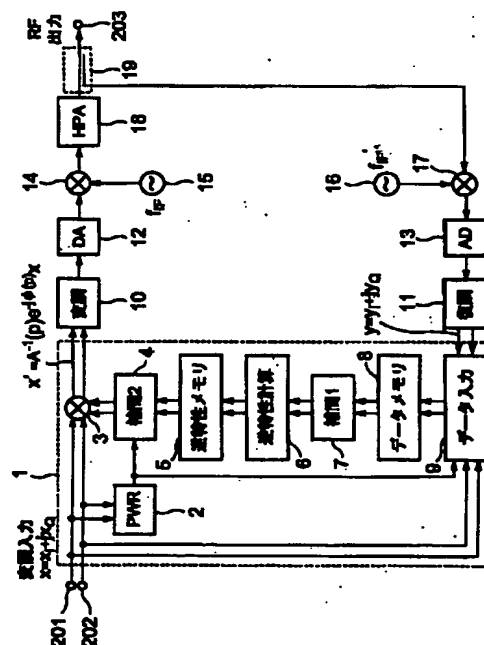
[最終頁に続く](#)

(54)【発明の名称】 リニアライザ

(57) 【要約】

【課題】 局部復調器を有するアダプティブプリディストーション方式の非線形補償回路において、回路規模が小さく、かつ高速動作可能で高精度に補償が可能な回路構成を提供する。

【解決手段】入力信号レベルの変動範囲を複数個の信号レベル代表点で表わして、代表点でのみ補償係数を計算し、補間によって他のレベルでの補償係数を求めることで、回路規模の縮小化、動作の高速化を図る。また、補償係数の計算には、累積乗算器を用いたフィードバックループにより、漸化的に計算を行うことで、高精度な補償が可能となる。



【特許請求の範囲】

【請求項1】 デジタル無線機に用いる電力増幅器の非線形特性を補償するために、該電力増幅器で発生する該非線形特性の逆特性を求め、求めた該逆特性を該電力増幅器に入力する入力信号に与えるプリディストーション方式のリニアライザにおいて、

前記電力増幅器の出力信号と前記入力信号の比を計算するアダプティブプリディストーション部を設け、計算した該比によって前記電力増幅器の前記非線形性の逆特性を求めることを特徴とするリニアライザ。

【請求項2】 請求項1記載のリニアライザにおいて、前記電力増幅器の前記入力信号の変化範囲をN分割し（Nは自然数）、該分割した点で前記非線形性の逆特性を求め、他の点では補間及び逆補間を行うことによって前記非線形性の逆特性を求めることを特徴とするリニアライザ。

【請求項3】 局部直交復調器を用いて電力増幅器の出力をモニタし、入力信号と出力信号の比を計算することによって、前記電力増幅器の非線形特性を取得し、該非線形特性を補償する逆特性の非線形性を前記入力信号に与えた非線形補償信号を、直交変調器を介して前記電力増幅器に入力することにより、前記電力増幅器の非線形特性を補償する非線形補償回路において、

前記入力信号xの同相成分（ x_i ）及び直交成分（ x_q ）の2乗和の平方根を計算して入力信号レベルp（ $p^2 = x_i^2 + x_q^2$ ）を求めるレベル検出器と、前記入力信号xの同相成分（ x_i ）と直交成分（ x_q ）データ、及び前記出力信号yの同相成分（ y_i ）と直交成分（ y_q ）データとを取得するデータ入力部と、取得した入力信号データ（ x_i と x_q ）及び出力信号データ（ y_i と y_q ）を

$$x^2 = x_i^2 + x_q^2,$$

$$y^2 = y_i^2 + y_q^2,$$

$$xy \cos \phi = x_i y_i + x_q y_q,$$

$$-xy \sin \phi = x_q y_i - x_i y_q$$

（ただし、 ϕ は前記入力信号xと前記出力信号yの位相差）の4つの値からなる中間処理データに変換し、該中間処理データを記憶しておく第1のメモリと、該第1のメモリに記憶した中間処理データから補間により、予め定めた複数の入力信号レベルに対する中間処理データ値を計算する第1の補間部と、該第1の補間部によって求めた中間処理データから、前記予め定めた複数の入力信号レベルにおける前記電力増幅器の非線形特性の逆特性を計算する逆特性計算部と、該逆特性計算部により求められた逆特性データを記憶しておく第2のメモリと、該第2のメモリに記憶した逆特性データから補間により、前記レベル検出器で検出された入力信号レベルに対応する逆特性データを計算する第2の補間部と、該第2の補間部で求めた逆特性データを前記入力信号に乗積し非線形補償動作を行う複素掛算器とから構成することを特徴とするリニアライザ。

【請求項4】 請求項3記載のリニアライザにおいて、前記予め定めた複数の入力信号レベルを、0から最大入力レベル（ p_{max} ）までのレベル範囲を予め定めた間隔でN分割（Nは自然数）した入力レベル代表値 p_i （ $i = 0 \sim N$ 、 $p_0 = 0$ 、 $p_N = p_{max}$ ）とし、前記逆特性計算部の計算と、前記第2のメモリのデータ記憶を入力レベル代表値でのみ行うことを特徴とするリニアライザ。

【請求項5】 請求項3または請求項4記載のリニアライザのレベル検出器において、前記入力信号振幅の2乗和の平方根（ $p = (x_i^2 + x_q^2)^{1/2}$ ）の計算を、該振幅2乗和の逆数平方根演算（aに対して $a^{-1/2}$ を求める）と、更にその逆数演算（bに対して b^{-1} を求める）により行い、該逆数平方根演算を、ニュートン法により逆数平方根を求める漸化式 $z_{n+1} = z_n (3 - az_n^2) / 2$ （ただし、aは入力値、nは自然数、 z_1 は初期値、 z_n はn回目の計算結果）を用いて計算し、前記逆数演算を、ニュートン法により逆数を求める漸化式 $z_{n+1} = z$ （ただし、bは入力値）を用いることで漸近的に前記信号レベルの計算を行うことを特徴とする非線形補償回路。

【請求項6】 請求項3～請求項5のいずれかに記載のリニアライザにおいて、前記データ入力部で取得した入力信号データ、及びレベル検出器で求めた入力信号レベルのデータを遅延して、データ入力部で得られる出力信号データと時間合わせを行い、求めた入力信号レベルp（ $= (x_i^2 + x_q^2)^{1/2}$ ）の値が前記入力レベル代表値 p_i （ $p_i = i \Delta p$ ）に対して、 $(p_{i-1} + p_i) / 2 < p < (p_i + p_{i+1}) / 2$ の範囲にある入力信号レベルp及び入出力信号データ（ x_i 、 x_q 、 y_i 、 y_q ）から計算される前記中間処理データ値を前記第1のメモリのi番目のデータとして書き込むと同時に、データが書き込まれたことを示すフラグ F_i をセットし、全てのフラグがセットされた時点で前記第1の補間部にデータを転送することを特徴とするリニアライザ。

【請求項7】 請求項6記載のリニアライザにおいて、前記データ入力部で得られたデータが、既に前記第1のメモリに書き込まれている場合、新たに得られたデータおよび既に書き込まれているデータの入力信号レベルを比較し、入力レベル代表値 p_i （ $p_i = i \Delta p$ ）に近いほうのデータを記憶保存することを特徴とするリニアライザ。

【請求項8】 請求項3～請求項7のいずれかに記載のリニアライザにおいて、前記第1のメモリに書き込みが終了した時点で、i番目の入力レベル代表値 p_i に対する中間処理データ値（ x^2 、 y^2 、 $xy \cos \phi$ 、 $-xy \sin \phi$ ）を、iを挟むM個（Mは正整数）のデータ（ $j = i - M/2 \sim i + M/2$ ）を補間して求め、前記N個の入力レベル代表値 p_i （ $i = 0 \sim N$ ）に対する中間処理データ値が計算終了した時点で前記第1のメモリのフラグをリセットするように、前記第1の補間部を構成することを特徴と

するリニアライザ。

【請求項 9】 請求項 8 記載のリニアライザの第 1 の補間部において、補間にラグランジの M 次補間多項式

$$f(x) = \sum_{i=0}^M f_i [\prod_{k \neq i} (x - p_k) / (p_i - p_k)] \\ = \sum_{i=0}^M f_i c_i(x)$$

(ただし、 $x = p_i$ 、 f_i は x_i 、 y_i 、 y_0 、また、 $\prod_{k \neq i}$ は $k = j$ 以外のすべての項の積を表わす)

を用い、前記第 1 のメモリから p_i 及び f_i ($j = i - M/2 \sim i + M/2$) を読み出して補間係数 $c_i(x)$ を求め、前記補間多項式によって入力レベル代表値 p_i ($i = 0 \sim N$) に対する中間処理データ値 (x^i 、 y^i 、 $xy \cos \phi$ 、 $-xy \sin \phi$) を計算することを特徴とするリニアライザ。

【請求項 10】 請求項 9 記載のリニアライザの第 1 の補間部において、前記補間係数

$$c_i(x) = \prod_{k \neq i} (x - p_k) / (p_i - p_k)$$

の計算における割算演算を、前記ニュートン法により逆数を求める漸化式で求めた逆数を乗算することにより行うことを特徴とするリニアライザ。

【請求項 11】 請求項 3～請求項 10 記載のいずれかのリニアライザにおいて、前記第 1 の補間部で求めた入力レベル代表値 p_i での中間処理データ値 (x^i 、 y^i 、 $xy \cos \phi$ 、 $-xy \sin \phi$) を前記逆特性計算部に入力し、該逆特性計算部において、入力レベル代表値 p_i ($i = 0 \sim N$) での逆特性データ a_i 、 a_0 を、

$$a_i = (x_i y_i + x_0 y_0) / (y_i^2 + y_0^2) = xy \cos \phi / y^i$$

$$a_0 = (x_0 y_i - x_i y_0) / (y_i^2 + y_0^2) = -xy \sin \phi / y^i$$

(ただし、 $xy = ((x_i^2 + x_0^2)(y_i^2 + y_0^2))^{1/2}$) によって計算し、前記第 2 のメモリに格納することを特徴とするリニアライザ。

【請求項 12】 請求項 11 記載のリニアライザの逆特性計算部において、前記逆特性データ a_i と a_0 を求める計算における出力信号振幅 2 乗和 ($y_i^2 + y_0^2$) による割算演算を、前記ニュートン法により逆数を求める漸化式で求めた逆数を乗算することにより計算することを特徴とするリニアライザ。

【請求項 13】 請求項 11 記載のリニアライザの逆特性計算部において、前記振幅補償係数の計算を前記入出力信号振幅の 2 乗値 ($x^i = x_i^2 + x_0^2$) と、前記出力信号振幅の 2 乗値 ($y^i = y_i^2 + y_0^2$) の積の逆数平方根 ($1/xy$) を求め、該入出力信号振幅の積の逆数に前記入出力信号振幅 2 乗値 $x x^i$ を掛けて、入出力信号振幅比 ($a_n^{-1} = x/y = ((x_i^2 + x_0^2) / (y_i^2 + y_0^2))^{1/2}$) を求め、該入出力信号振幅比を、乗算器と遅延レジスタから構成した累積乗算器により累積乗算して、振幅補償係数 ($A_n^{-1} = \prod_n (a_n^{-1})$)、 \prod_n は n 項ま

$$f(p) = \sum_{i=0}^M f_i [\prod_{k \neq i} (p - p_k) / (p_i - p_k)] \\ = \sum_{i=0}^M f_i c_i(p)$$

(ただし、 f は a_i 、 a_0) を用い、前記第 2 のメモリから p_i 及び f_i ($j = i - M/2 \sim i + M/2$) を読み出して

での累積積を表わす) を求め、前記入出力レベル代表値 p_i でのデータ値の $xy \cos \phi$ 、及び $-xy \sin \phi$ に前記入出力信号振幅の積の逆数 ($1/xy$) を掛けて、入出力信号位相差の余弦値 $\cos \phi$ 、及び正弦値 $-\sin \phi$ を求め、該入出力信号位相差の余弦値および正弦値を、乗算器と加算器と遅延レジスタから構成した累積加算器により、

$$\cos \phi_n = \cos (\phi_{n-1} + \phi)$$

$$= \cos \phi_{n-1} \cos \phi - \sin \phi_{n-1} \sin \phi$$

$$-\sin \phi_n = -\sin (\phi_{n-1} + \phi)$$

$$= -\sin \phi_{n-1} \cos \phi - \cos \phi_{n-1} \sin \phi$$

(ただし ϕ_n は n 回目の累積位相差) を計算することにより累積加算して、位相補償値の余弦値、および正弦値を求め、該位相補償値の余弦値、および正弦値に前記振幅補償係数 A_n^{-1} を掛けて、

$$a_i = A_n^{-1} \cos \phi_n$$

$$a_0 = -A_n^{-1} \sin \phi_n$$

を計算することによって前記逆特性データ a_i と a_0 を求めることを特徴とするリニアライザ。

【請求項 14】 請求項 13 記載のリニアライザの逆特性計算部において、前記入出力信号振幅の 2 乗値の積の逆数平方根を求める演算を、前記ニュートン法により逆数平方根を求める漸化式を用いて計算し、該漸化式の途中結果および、前記累積乗算器と前記累積加算器の遅延レジスタのデータを第 3 のメモリに格納し、前記漸化式および累積乗算器、累積加算器の計算を漸近的に行うことを特徴とするリニアライザ。

【請求項 15】 請求項 13 または請求項 14 記載のリニアライザにおいて、前記リニアライザの動作終了時に前記第 2 および第 3 のメモリに記憶されているデータを、不揮発性のメモリに退避し、動作再開時に該退避したデータを前記第 2 および第 3 のメモリに初期設定してから動作させることを特徴とするリニアライザ。

【請求項 16】 請求項 3～請求項 15 のいずれかに記載のリニアライザにおいて、前記レベル検出器により検出された入力信号レベル p を含む M 個の入力レベル代表値 p_i ($i = 1 \sim M$ 、 $p_i < p < p_i$) に対する逆特性データを前記第 2 のメモリから読み出し、補間によって入力信号レベル p に対する逆特性データ ($a_i + j a_0$) を計算するように前記第 2 の補間部を構成し、前記複素掛算器によって前記逆特性データを入力信号 ($x_i + j x_0$) と複素乗算することにより非線形補償動作を行うことを特徴とするリニアライザ。

【請求項 17】 請求項 16 記載のリニアライザの第 2 の補間部において、補間にラグランジの M 次補間多項式

補間係数 $c_i(p)$ を求め、前記補間多項式によって入力信号レベル p に対する逆特性データ値 (a_i 、 a_0) を計算

することを特徴とするリニアライザ。

【請求項 18】 請求項 17 記載のリニアライザの第 2 の補間部において、前記ラグランジの M 次補間多項式を、前記入力信号レベル p と入力レベル代表値 p_k の差

$$f(p) = \sum_{i=0}^M f_i [\Pi_i \neq (p - p_k) / (p_i - p_k)] \\ = \sum_{i=0}^M d_i (f_i, p_i) (p - p_k)^i \quad (\text{ただし、} f \text{ は } a_1, a_0)$$

を補間に用い、前記第 2 のメモリから p_i 及び f_i ($j = i - M/2 \sim i + M/2$) を読み出して補間係数 d_i (f_i, p_i) を求め、前記補間多項式によって入力信号レベル p に対する逆特性データ値 (a_1, a_0) を計算すること

を特徴とするリニアライザ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は非線形補償回路に係わり、特にディジタル無線機に用いる電力増幅器の非線形特性を補償する回路（リニアライザ）に関するものである。

【0002】

【従来の技術】移動無線等のディジタル無線の急速な普及に伴って送信機の電力増幅器の大電力化、高効率化の要求が高まっており、デバイス、回路両面で開発が盛んに行われている。ディジタル無線機では、電力増幅器の非線形な入出力振幅特性に起因する高次歪みによる隣接チャンネル妨害を防ぐため、電力増幅器の入出力振幅特性の線形性が厳しく要求されている。しかし、良好な線形性を保ちながら、大電力化、高効率化することは困難であることから、リニアライザによる非線形補償技術の適用が重要となっている。電力増幅器の非線形特性を補償するリニアライザには大きく分けて、フィードフォワード方式、フィードバック方式、プリディストーション

方式がある。【0003】フィードフォワード方式は、電力増幅器の出力の一部を取り出し、別途発生した無歪みの信号成分を減算して歪み成分を作成し、これを電力増幅器の出力から差し引いて歪み補償する方式で、高周波 (Radio Frequency、以降 RF と称する) 帯での回路技術で構成される。フィードバック方式は、電力増幅器に負帰還をかけ

$$A(p) e^{j\phi(p)} = A(p) \cos \phi(p) + jA(p) \sin \phi(p) \quad \dots\dots\dots \text{式(1)}$$

と与えられる。式(1)で $A(p)$ は振幅の非線形成分を表

し、 $\phi(p)$ は位相の非線形成分を表している。この非線

$$y = y_1 + jy_0 = A(p) e^{j\phi(p)} (x_1 + jx_0) \\ = A(p) (x_1 \cos \phi(p) - x_0 \sin \phi(p)) + jA(p) (x_1 \sin \phi(p) + x_0 \cos \phi(p)) \\ \dots\dots\dots \text{式(2)}$$

となる。

【0007】式(2)の出力信号 y の振幅部 ($y_1^2 + y_0^2$) の入力信号レベル p に対する変化の様子を図 2 (a) に示す。ただし出力信号レベルは小信号利得で正規化しておく。一般的に、電力増幅器の振幅非線形特性は、入力信号レベル p の増加に対して出力振幅が低下し、図 2 (a)

$$A^{-1}(p) e^{-j\phi(p)} = a_1 + ja_0$$

($p - p_k$) (但し、 K は $M = \text{偶数のとき } M/2$ 、 $M = \text{奇数のとき } (M - 1)/2$)

のべき乗級数の形式に変形した

て歪を補償する方式で、RF 帯、IF (Intermediate Frequency、中間周波数) 帯、BB (Base Band: 基底帯域) の様々な箇所でも負帰還をかける方式である。プリディストーション方式は、電力増幅器で発生する歪み特性と逆の非線形特性を予め入力信号に与えてから電力増幅器に入力する方法で、電力増幅器の前段で信号処理する方法である。プリディストーション方式も RF 帯、IF 帯、BB 帯で処理が可能である。

【0004】上記 3 方式のリニアライザの中で、フィードバック方式は、自動的に電力増幅器の特性変動に追随するが、他の方式はアダプティブに特性変動を検出する適応補償制御を行う必要がある。適応信号制御のように複雑な信号処理は、アナログ回路技術よりもディジタル信号処理の方が容易である。しかしながら、ディジタル信号処理は高周波信号を扱うのが不得手であるので、ディジタル信号処理によるアダプティブ制御は主にプリディストーション方式に適用されている。

【0005】プリディストーション非線形補償の原理を図 2 を用いて説明する。図 2 (a) は、電力増幅器の入出力特性の一例を示す図である。また、図 2 (b) は、従来のプリディストーション方式を用いた非線形補償電力増幅器 (リニアライザ) の構成を示すブロック図である。217 は I 成分入力端子、218 は Q 成分入力端子、20 は複素掛算器、21 は逆特性計算部、22 は直交変調部、23 は直交復調部、24 は電力増幅器 (HPA)、219 は出力端子である。図 2 は原理説明のための概略図であるので、BB 信号を RF 信号に変換する周波数変換部は省略している。

【0006】図 2 において、電力増幅器の非線形特性は入力信号レベル p ($p^2 = x_1^2 + x_0^2$ 、ただし、 x_1 は信号の同相成分振幅、 x_0 は直交成分振幅である) の関数として、

形特性により、HPA24 の出力信号は、

の 45° 線より小さくなる傾向を示す。そのため、出力振幅 y を得るには、入力信号レベルとして $x = y$ でなく、 x' のレベルの信号を入力しなければならない。 x' を取得するには非線形特性 (式(1)) の逆特性である次の式 (3) を求め、これに入力信号 x の信号レベル p を代入することで得られる。

$$= A^{-1}(p) \cos \phi(p) - jA^{-1}(p) \sin \phi(p) \quad \cdots \cdots \text{式(3)}$$

【0008】図2(b)において、入力端子217を介して信号の同相成分振幅 x_i を入力し、入力端子218を介して信号の直交成分振幅 y_i を入力する。これらの信号振幅は複素乗算器20と直交変調器22を通じて、HPA24に与えられ増幅される、この増幅されたHPA24の出力信号 y は出力端子219を介して出力されるが、また一方直交復調器23に与えられる。HPA24の出力信号 y を直交復調器23により復調し、 $y_i + jy_o$ として、逆特性計算部21に入力する。同様に入力信号 $x = x_i + jx_o$ も入力端子217と218から逆特性計算部21に入力する。逆特性計算部21は、これら x と y のデータから逆特性 x/y を計算する。求めた逆特性 x/y に、入力信号レベル p を代入して、式(3)の非線形補正值 $A^{-1}(p) e^{-j\phi(p)} = a_i + ja_o$ を求め、複素掛算器20に与える。これを複素掛算器20では、入力信号 x に複素乗算し、非線形補正信号 x' を求め、HPA24に与える。

【0009】上述のプリディストーションの原理によれば、HPA24の逆特性を直交復調器23により常に監視しているため、HPA24が温度変動等により特性変動を生じて、アダプティブに特性追従が可能であり、高精度な非線形補償が実現できる。デジタル信号処理によるアダプティブプリディストーション方式リニアライザの従来例として、高林、折橋、松岡、森井、“デジタル直交変復調器を適用した送信系線形補償の検討”、電子情報通信学会1998年ソサイエティ大会、B-5-4で報告された補償回路がある。図3にこの従来例の概略構成を示す。

【0010】図3は、従来のアダプティブプリディストーション方式非線形補償回路の構成を示すブロック図である。201はI成分入力端子、202はQ成分入力端子、30は参照テーブル(LUT)、31はパワー計算部(PER)、32と33は複素掛算器、34は係数計算部、35はデータ更新部、10は直交変調器、11は直交復調器、12はD/A変換器、13はA/D変換器、14と17は周波数混合器、15と16は局部発振器、18はHPA、19は方向性結合器である。図中、信号線が2本平行に描かれているのは、複素信号(同相成分を実数部、直交成分を虚数部とする)で表わした信号である。

【0011】図3において、変調入力信号のI成分 x_i が入力端子201を介して、またQ成分 x_o が入力端子202を介して、それぞれ複素掛算器32に与えられる。複素掛算器32では、入力した変調入力信号に乗算器33から与えられる非線形補償係数を乗算し、プリディストーション補償した信号として直交変調器10に与える。直交変調器10では、変調を行いD/A変換器12に与える。更にD/A変換器12では、変調された信号をアナログ信号に変換して、周波数混合器14に与える。アナログの変調信号は周波数混合器14により局部発振器15からの局発信号 $f_{1,r}$ と混合されて、RF帯に周波数変換され、HPA18に与えられる。HPA18は信号を所定のレベルに増幅して出力端子203を介して出力する。

【0012】HPA18で増幅された信号は、方向性結合器19により一部が取り出され、周波数混合器17に与えられる。周波数混合器17では、HPA18の出力の一部である信号を局部発振器16の局発信号 $f_{1,r'}$ と混合して、IF帯信号としてA/D変換器13に与える。A/D変換器13では、IF帯信号をデジタル信号に変換して直交復調器11に与える。直交復調器11では、入力した信号を同相成分信号と直交成分信号に復調して、デジタル電力増幅器の出力データ信号としてデータ更新部35に与えられる。

【0013】データ更新部35には、別に、変調入力信号のI成分 x_i とQ成分 x_o とが、入力端子201と202とを介して、それぞれ与えられている。データ更新部35では、この与えられた変調入力信号と出力データ信号とによって、それぞれ、入力データと出力データの更新を行い、更新したデータを係数計算部34に与える。

【0014】また、変調入力信号のI成分 x_i とQ成分 x_o とは、更にパワー計算部31にも与えられる。パワー計算部31では、与えられた変調入力信号の入力信号レベルを計算し、これを固定分非線形補償係数を格納したROM(Read Only Memory)等の記憶デバイスで構成された参照テーブル30と変動分非線形補償係数を計算する係数計算部34に与える。

【0015】係数計算部34では、パワー計算部31から与えられた入力信号レベルと、データ更新部35から与えられた更新データとによって、変動分の非線形補償係数の計算を行う。また、参照テーブル30では、パワー計算部31から与えられた入力レベル値を、前もって作成した参照テーブルで補償した値に変換した固定分非線形補償係数として、複素掛算器33に与える。

【0016】複素掛算器33は、入力した固定分非線形補償係数と変動分非線形補償係数を、複素乗算して、変調入力信号に対する非線形補償係数を求め、これを複素掛算器32に与える。複素掛算器32は、入力端子201と202とを介して与えられた変調入力信号のI成分 x_i とQ成分 x_o とに、複素掛算器33から与えられた非線形補償係数によって複素乗算し、プリディストーション非線形補償動作を行う。

【0017】即ち、上述の従来例では、HPA18の非線形特性を固定分と変動分に分け、固定分は前もって作成した参照テーブル30で補償し、固定分と現状の特性とのずれを変動分として、アダプティブにプリディストーション補償動作を行う方法である。また、係数計算部34で変動分非線形補償係数を計算する際には、非線形特性の変動分を2次の近似多項式により近似し、近似係数をLMS(最小二乗誤差)アルゴリズムにより求めている。電力増幅器の非線形特性は、電源や温度の変動及び経年変化などの要因によって変動するため、それら全ての非線形特性の逆特性に対応したテーブル参照を行うことができる記憶デバイスには、膨大な記憶容量を必要とする。

そこで、上述の従来では、逆特性を固定分と変動分とに分け、固定分のみ参照テーブルを用いている。

【0018】

【発明が解決しようとする課題】 前述の従来技術には、電力増幅器の非線形特性が入力信号レベルの関数であることから、非線形特性の逆特性を精度よく実現するために、入力信号レベルの分解能を上げなければならないが、固定分の逆特性データだけであっても、参照テーブル用にかかなりの記憶容量を必要とする欠点があった。

【0019】 また非線形特性の変動分については、前述の従来例では近似式を用い、この近似式の係数をLMSアルゴリズムにより求めている。しかし、このアルゴリズムは収束が遅いので、データ更新を何度も（数百回程度）繰り返さなければならず処理速度が遅い欠点があった。また、デジタル回路で実現される変調器では、信号が標準化されているので、入力信号レベルの変動する全ての範囲にわたって細かくデータを取得するためには、長い取得時間を必要とする。従って変動分の逆特性データの更新処理が遅い欠点があった。

【0020】 更に、変動分の逆特性を求める場合には、電力増幅器の非線形特性を多項式で近似して求めているが、収束を速くするためには、近似多項式の次数を低くしなければならず、このため、非線形特性の近似精度が下がってしまう欠点があった。

【0021】 また、固定分の逆特性は予め電力増幅器の非線形特性を測定して、参照テーブルに書き込んでおかなければならない。これを行うには、前述のリニアライザとは別の測定回路が必要であり、個々の電力増幅器毎にこの参照テーブルを作成しなければならない欠点があった。

【0022】 また、上記変動分の逆特性を取得している時間は無線機を動作させることができないので、無線機の通常動作を行う前に準備動作が必要となる欠点があった。

【0023】 以上述べたように、従来技術には、以下に示す欠点がある。即ち、

- (1) 大容量のメモリ及びLMSアルゴリズムを用いるため回路規模が大きい。
- (2) 変動分の逆特性計算の収束が遅い。
- (3) 非線形補償精度が低い。
- (4) 製造時の初期測定（固定分データの取得）、無線機の動作モード切替が必要である。

【0024】 本発明の目的は、上記のような欠点を除去し、非線形補償精度の高いリニアライザを提供することにある。また、本発明の第2の目的は、上記のような欠点を除去し、回路規模が小さく、高速動作可能なリニアライザを提供することにある。更に、本発明の第3の目的は、上記のような欠点を除去し、無調整でかつ保守不要で、自動的に動作可能なリニアライザを提供することにある。また更に、本発明の他の目的は、デジタル信

号処理では一般的に得意としない割算や高精度の関数計算を用いずに、デジタル回路で実現しやすい、リニアライザを提供することにある。

【0025】

【課題を解決するための手段】 上記の目的を達成するため、本発明のリニアライザは、逆特性の計算に近似式を用いず、取得した入出力データを直接演算することにより、高精度な逆特性を求めるようにしたものである。

【0026】 また、上記第2の目的を達成するため、本発明の非線形補償回路は、全ての信号レベルにわたって逆特性の計算を行わず、予め選定した信号レベル代表点でのみ逆特性計算を行い、他のレベルについては、レベル代表点での逆特性を補間して計算を行う。また、データを取得する際にも取得した信号レベルから補間して、レベル代表点での逆特性を求める。従って、全信号レベルに亘る逆特性計算は不要で、レベル代表点でのデータのみ計算、記憶しておけば良いので、回路規模の縮減と、動作の高速化を図ることができる。

【0027】 更に、上記第3の目的を達成するため、本発明の非線形補償回路は、逆特性データの計算において、振幅非線形特性に対しては乗算器と遅延レジスタとから構成した累積乗算器を用い、位相非線形特性に対しては乗算器と加算器と遅延レジスタとから構成した累積加算器を用いる。累積乗算器では入出力信号レベル比が入力となり、積の形で累積されていく。また位相の累積加算器では入出力信号位相差の余弦、正弦値が入力となり、位相差の総和の余弦、正弦値が遅延レジスタに累積されていく。逆特性補償用複素掛算器と、非線形電力増幅器とで帰還ループを構成すると、累積乗算器の遅延レジスタのデータ値は、HPAの入出力信号レベル比の逆数に収束して行き、収束した時点では入出力信号レベル比（すなわち、累積乗算器の入力値）は1に収束する（累積加算器の入力値は0に収束）。非線形特性が変動すると、累積乗算器の入力値が1でない（累積加算器の入力値は0でない）値となるので、ループは変動した値に再び収束して行くように動作する。こうして、自動的に非線形補償動作が可能な補償回路が実現できる。

【0028】 更に、本発明では、割算演算を用いずに非線形の逆特性を計算するために、ニュートン法による漸化式で逆数平方根や逆数を計算する。これにより、割算命令のないデジタル信号処理プロセッサでも、非線形補償回路が容易に実現できる。

【0029】

【発明の実施の形態】 本発明による非線形補償回路の実施の形態を説明する前に、本発明に関わる基本的事項を説明する。課題を解決する手段の項で述べたように、電力増幅器の非線形特性は入力信号レベル p の関数であるが、 P の変動範囲（0～最大レベル p_{max} ）の全てにわたって計算を行うことは、演算処理量が多すぎて実現困難である。そこで、 p の変動範囲を、例えば N 個の等間隔（ Δ

$p = p_{N+1}/N$ 、 N は整数値)に分割し、 N 個のレベル代表値 p_i ($p_i = i\Delta p$ 、 $i = 0 \sim N$)についてのみ逆特性データを計算する。もちろん、レベル分割は一定間隔に限ることはなく、任意の予め定められた間隔で分割してもよい。

$$f(x) = \sum_{j=0}^M f_j [\prod_k \neq_j (x - p_k) / (p_j - p_k)] \\ = \sum_{j=0}^M f_j C_j(x) \quad \dots\dots\dots \text{式(4)}$$

によって行う。式(4)、 $M+1$ 個の点 (p_0, f_0) 、 (p_1, f_1) 、 $\dots\dots\dots$ 、 (p_M, f_M) を通る M 次多項式である。

【0031】 $x = p$ での値 $f(p)$ を精度良く求めるため、 $M+1$ 個の点 $p_0, p_1, \dots\dots\dots, p_M$ を、 $N+1$ 個のデー

$$p_0 = p'_{i-1/2}, \dots\dots\dots, p_{M/2} \\ = p'_{i-1}, \dots\dots\dots, p_M \\ = p'_{i+1/2} \quad \dots\dots\dots \text{式(5)}$$

ただし、 $p'_{i-1} - \Delta p/2 < p < p'_{i+1} + \Delta p/2$ (M は偶数)

$$p_0 = p'_{i-(M-1)/2}, \dots\dots\dots, p_{(M-1)/2} \\ = p'_{i-1}, \dots\dots\dots, p_M \\ = p'_{i+(M+1)/2} \quad \dots\dots\dots \text{式(6)}$$

ただし、 $p'_{i-1} < p < p'_{i+1}$ (M は奇数)補間の精度は多項式の次数を上げるほど、またレベル代表点の刻みを小さくするほど良くなる。また、当然のことであるが、補間ができるためには、 f は x のみの関数で、 x に対して連続な関数でなければならない。

【0032】次に本発明の電力増幅器の非線形の逆特性計算法について説明する。従来技術の説明で述べたように、非線形性は、その振幅および位相が、入力信号レベル p の関数として式(1)に示すように表わされる。一方、取得できるデータは入出力信号の同相成分と直交成分

$$A^{-1}(p) e^{-j\phi(p)} = (x_i + jx_q) / (y_i + jy_q) \\ = ((x_i y_i + x_q y_q) - j(x_i y_q - x_q y_i)) / (y_i^2 + y_q^2) \quad \dots\dots\dots \text{式(7)}$$

【0034】式(7)と式(3)とを比較して、逆特性データとして式(8)を得る。

$$a_i = A^{-1}(p) \cos \phi(p) \\ = (x_i y_i + x_q y_q) / (y_i^2 + y_q^2) \\ a_q = -A^{-1}(p) \sin \phi(p) \\ = (x_q y_i - x_i y_q) / (y_i^2 + y_q^2) \\ A^{-1}(p) = ((x_i^2 + x_q^2) / (y_i^2 + y_q^2))^{1/2} \quad \dots\dots\dots \text{式(8)}$$

【0035】更に、 $x^2 = x_i^2 + x_q^2$ 、 $y^2 = y_i^2 + y_q^2$ 、

$$a_i = xy \cos \phi(p) / y^2 \\ a_q = -xy \sin \phi(p) / y^2 \quad \dots\dots\dots \text{式(9)}$$

【0036】式(8)の変数 (x_i, x_q, y_i, y_q) はレベル p だけの関数ではなく、位相にも依存するので、振幅、位相が様々な値を取り得るデータを補間して p の関数として求めることはできない。そこで、補間に用いる変数としては、変数 $(x^2, y^2, xy \cos \phi, -xy \sin \phi)$ を用いて、式(9)によって逆特性を計算する。

【0037】式(8)は1回のデータ取得で計算できるが、割算演算を備えた高速DSP(デジタル信号処理プロセッサ)が必要である。また、実際の無線機では、電源電圧や周囲温度の変動により、電力増幅器の非線形特

【0030】一方、取得されるデータ、およびプリディストーションに用いるデータは、 p の変動範囲の任意の値を取り得るので、補間により計算を行う。データ補間はラグランジの M 次補間多項式

タ p'_i ($= i\Delta p$ 、 $i = 0 \sim N$ 、 $M < N$)の中から、 p が $p_0 \sim p_M$ の中央に位置するように、式(5)または式(6)となるように選ぶ。

(x_i, x_q, y_i, y_q) であり、非線形補償を行う逆特性データも同相成分と直交成分の形 (a_i, a_q) である。従って、振幅位相成分と同相直交成分の変換を三角関数テーブルによる変換でなく演算によって行なうことにより、精度が低下することを防ぐことができる。

【0033】即ち、電力増幅器の非線形特性 $A(p) e^{-j\phi(p)}$ は、電力増幅器の入力信号 $(x = x_i + jx_q)$ と出力信号 $(y = y_i + jy_q)$ の比として与えられる。従って、逆特性 $A^{-1}(p) e^{-j\phi(p)}$ は式(7)となる。

$xy = ((x_i^2 + x_q^2)(y_i^2 + y_q^2))^{1/2}$ と置くと、 $A^{-1}(p) = xy/y^2$ となるので、次の式(9)となる。

性も時間とともに変動している。このような場合の非線形補償としては、複数回のデータ取得で、目的の特性に収束するような補償制御で十分であり、DSPも高速動作が要求されないので、安価で低消費電力のプロセッサで済む。

【0038】図4によって、フィードバックループを用いて非線形補償を行うアダプティブプリディストーション部の動作例を説明する。図4は、フィードバックループを用いた非線形補償ループ(アダプティブプリディストーション)部の構成を示すブロック図である。204は

入力端子、40は逆特性補償器、41と45は遅延レジスタ、42は掛算器、43は累積乗算器、44は加算器、46は累積加算器、47は複素数比演算回路、48は電力増幅器 (HPA)、205は出力端子である。

【0039】図4において、入力信号 x は入力端子204を介して逆特性補償器40と複素数比演算回路47とに与えられる。逆特性補償器40では、逆特性係数 $A_n^{-1} e^{-j\phi_n}$ が掛けられ、 $A_n^{-1} e^{-j\phi_n} \cdot x$ となってHPA48に与える。HPA48では、入力信号 $A_n^{-1} e^{-j\phi_n} \cdot x$ を非線形利得 $A e^{-j\phi}$ 倍し、出力信号 $y = A e^{-j\phi} A_n^{-1} e^{-j\phi_n} \cdot x$ を出力する。

【0040】出力信号 y は出力端子205から出力されると共に、複素数比演算回路47に与えられる。従って複素数比演算回路48には、入力信号 x と出力信号 y とが入力し、複素数比演算回路48は n 時点での入出力信号の逆比 $a_n^{-1} e^{-j\phi} = x/y$ を計算する。求めた振幅逆比 a_n^{-1} は、遅延レジスタ41と掛算器42とで構成した累積乗算器43に与えられ、掛算器42によって、遅延レジスタ41に記憶されている1時点前の逆特性係数 A_{n-1}^{-1} と乗算して、 n 時点での

$$a_n = (x_1 y_1 + x_0 y_0) A_{n-1}^{-1} / (xy)$$

$$a_0 = (x_0 y_1 - x_1 y_0) A_{n-1}^{-1} / (xy)$$

$$\text{ただし、} xy = (x_1^2 + x_0^2) (y_1^2 + y_0^2)^{1/2} \quad \dots\dots\dots \text{式(10)}$$

【0042】累積乗算器43と累積加算器46とを用いた非線形補償ループでは、各時点での逆比 $a_n^{-1} e^{-j\phi}$ は正確に x/y と等しくなくても良い。そこで、逆特性を計算するのに必要となる逆数平方根や、逆数などの演算をニュートン法を用いた漸化式計算で行うことができる。ニュートン法は関数 $f(x)$ を近似値 x_n での接線で近似し、 x 軸との交点を新しい近似値 x_{n+1} として漸近的に $f(x)$ の解を求める解法である。 x_n での接線の傾きは $y_n' = f'(x_n)$

$$x_{n+1} = x_n - (f(x_n) - a) / f'(x_n) \quad \dots\dots\dots \text{式(12)}$$

ニュートン法による漸化式を用いると、割算演算命令の無いDSPでも、逆数を求めたり、また、平方根演算をテーブル参照などを用いずに精度良く求めることができる。

【0044】以上説明した基本的事項に続き、図11を用いて、本発明のリニアライザについて更に説明する。図11は本発明のリニアライザの一実施例の構成を示すブロック図である。201は入力信号 x の同相成分 x_1 入力端子、202は入力信号 x の直交成分 x_0 入力端子、2はレベル検出器 (PWR)、3は複素掛算器、4'は第2の補間部、6'は逆特性計算部、7'は第2の補間部、9'はデータ入力部、10'は直交変調器、11'は局部直交復調器、18は電力増幅器 (HPA)、19は方向性結合器、245と246は遅延レジスタ、247は累積乗算器、248は累積加算器、203は出力端子である。レベル検出器2、複素掛算器3、第2の補間部4'、逆特性計算部6'、第2の補間部7'、データ入力部9'、直交変調器10'、局部直交復調器11'、遅延レジスタ245と246、累積乗算器247、累積加算器248は概アダプティブプリディストーション部を構成

の逆特性係数 A_n^{-1} を計算し逆特性補償器40に与える。即ち、 $A_n^{-1} = a_n^{-1} A_{n-1}^{-1} = \prod_n (a_n^{-1})$ となる。また、入出力位相差 ϕ は遅延レジスタ45と加算器44とで構成した累積加算器46に与えられ、加算器44によって、遅延レジスタ45に記憶されている1時点前の位相累算値 ϕ_{n-1} と加算して、 n 時点での位相累算値 ϕ_n を計算し、同じく逆特性補償器40に与える。即ち、 $-\phi_n = -\phi_{n-1} - \phi_{n-1}$ となる。

【0041】図4の構成で、遅延レジスタ41の初期値 A_0^{-1} は1、遅延レジスタ45の初期値 ϕ_0 は0としておく。非線形補償ループが収束した時点では、 $y = A e^{-j\phi} A_n^{-1} e^{-j\phi_n} \cdot x = x$ となるから、振幅 A_n^{-1} は A^{-1} に収束し、 a_n^{-1} は1に収束する。また、位相 ϕ_n はHPA48の位相特性 Φ に収束し、 ϕ は0に収束する。 $A_n^{-1} = A^{-1} = ((x_1^2 + x_0^2) / (y_1^2 + y_0^2))^{1/2}$ は、瞬時計算で求めた x/y に等しいので、これを式(8)に代入すると、式(10)の a_1 と a_0 となって、非線形補償ループにより、HPA48の逆特性が求められる。

(x_n) (x_n での微係数) で与えられ、かつ、 $y_n' = y_n / (x_n - x_{n-1})$ が成り立つので、漸化式は、式(11)となる。

$$x_{n+1} = x_n - y_n / y_n' \quad \dots\dots\dots \text{式(11)}$$

【0043】ニュートン法で $f(x) = a$ を解くには、変形して $y = f(x) - a = 0$ を解く。これを式(11)に代入すると、式(12)となる。

【0045】図11では、HPA18の非線形特性を取得するため、局部直交復調器11'を備えた構成としている。出力信号 y と入力信号 x の比 ($y/x = a_n e^{j\Delta\phi}$) を計算し、これを逆特性計算部6'で累積乗算 ($A = a_n \cdot A_{n-1}$) 及び累積加算 ($\phi_n = \Delta\phi + \phi_{n-1}$) して非線形特性 ($A \exp(j\phi_n)$) を求める。この逆数を入力信号 x に複素乗算して非線形補償信号 x' を得る。逆特性計算の構成を簡単化するため、HPA入力信号変化範囲を N 分割し、分割点でのみ逆特性を求め、他の点では補間、及び逆補間によって計算を行う。以上の構成により本方式のアダプティブプリディストーションでは、累積乗算器247、及び累積加算器248のレジスタに初期値1、及び0を与え漸近的に非線形特性を求めていくので、HPA18の非線形特性を測定するための特別なテスト信号を必要としない。

【0046】図11に示した本発明によるリニアライザの一実施例を、更に詳しく、図1以下を使用して説明する。図1は、本発明のリニアライザの構成を示すブロッ

ク図である。201はI成分入力端子、202はQ成分入力端子、1は非線形補償部、2はレベル検出器(PWR)、3は複素掛算器、4は第2の補間部、5は第2のメモリ(逆特性メモリ)、6は逆特性計算部、7は第1の補間部、8は第1のメモリ、9はデータ入力部、10は直交変調器、11は直交復調器、12はD/A変換器、13はA/D変換器、14と17は周波数混合器、15と16は局部発振器、18はHPA、19は方向性結合器、203は出力端子である。また、レベル検出器2、複素掛算器3、第2の補間部4、第2のメモリ5、逆特性計算部6、第1の補間部7、第1のメモリ8、データ入力部9までの部分が非線形補償部1を構成しており、全てデジタル的に信号処理を行っている。図中、2本平行に描いた信号線は、同相成分を実数部、直交成分を虚数部とする複素信号である。

【0047】図1において、I成分入力端子201を介してI成分が、そして、Q成分入力端子202を介してQ成分が、レベル検出器2と複素掛算器3とにそれぞれ与えられる。これによって変調入力信号 $x (= x_i + jx_0)$ が、レベル検出器2と複素掛算器2にそれぞれ与えられることになる。

【0048】レベル検出器2では、入力信号レベル p ($p^2 = x_i^2 + x_0^2$)を計算し、複素掛算器3では、入力信号レベル p に応じた非線形逆特性 $A^{-1}(p) e^{-j\phi^{(p)}}$ を掛けて、プリディストーション補償する。このプリディスト

$$\begin{aligned} x^2 &= x_i^2 + x_0^2, \\ y^2 &= y_i^2 + y_0^2, \\ xy \cos \phi &= x_i y_i + x_0 y_0, \\ -xy \sin \phi &= x_0 y_i - x_i y_0, \\ (\text{ただし } xy &= ((x_i^2 + x_0^2)(y_i^2 + y_0^2))^{1/2}) \end{aligned}$$

この式(13)によって取得された出力データ($x^2, y^2, xy \cos \phi, -xy \sin \phi$)は第1のメモリ(データメモリ)8に与えられる。

【0053】第1のメモリ8では、これらのデータを、第1のメモリ8の最も近い入力レベル代表値 p_i ($i = 0 \sim N, p_0 = 0, p_N = p_{\max}$)の記憶領域に書き込んでおく。第1のメモリ8の全メモリ領域が書き込まれた時点で、第1の補間部(補間部1)7により、第1のメモリ8のデータを補間し、入力レベル代表値でのデータ値($x^2, y^2, xy \cos \phi, -xy \sin \phi$)を計算する。

【0054】更に、逆特性計算部6において、入力レベル代表値 p_i での非線形逆特性 $A^{-1}(p_i) e^{-j\phi^{(p_i)}} = a_i + ja_0$ を、式(9)によって求め、第2のメモリ(逆特性メモリ)5に書き込む。第2の補間部(補間部2)4により第2のメモリ5に書き込まれた入力レベル代表値 p_i での非線形逆特性データを補間して、レベル検出器2で検出された入力信号レベル p に対応する非線形逆特性を計算する。こうして求めた変調入力信号 x に対する非線形逆特性を複素掛算器3に入力して、プリディストーション非線形補償動作を行う。

ーション補償信号 x' ($x' = A^{-1}(p) e^{-j\phi^{(p)}} \cdot x$)は直交変調器10に与えられる。直交変調器10は、入力したプリディストーション補償信号 x' を変調してD/A変換器12に与える。D/A変換器12では、被変調信号をアナログ値に変換し、このアナログ変調信号は周波数混合器14に与える。

【0049】周波数混合器14では、アナログ変調信号を局部発振器15の局発信号 f_{1f} と混合して、RF帯信号に周波数変換し、HPA18与える。HPA18では、入力した信号を増幅して出力する。HPA18の出力は、出力端子203を介して出力されると共に、方向性結合器19により一部が取り出され、周波数混合器17に与えられる。

【0050】周波数混合器17では、入力した出力信号の一部を、局部発振器16の局発信号 f_{1f}' と混合してIF帯信号へ周波数変換する。このIF帯信号をA/D変換器13でデジタル信号に変換し、変換したデジタル信号を直交復調器11に与える。

【0051】直交復調器11では、入力した信号を復調して、出力信号 y ($y = y_i + jy_0$)を出力する。この出力信号 y の同相成分 y_i と直交成分 y_0 と、入力信号レベル p と、変調入力信号 x の同相成分 x_i 及び直交成分 x_0 とは、データ入力部9にそれぞれ与えられる。

【0052】データ入力部9では、以下の変数変換を行う。

……式(13)

【0055】以上説明したように、図1に示した本発明の実施例によれば、逆特性の計算に近似式を用いなくて直接演算を行うので、高精度な非線形補償を行うことができる。代表レベル点以外では補間によって計算するので、若干精度は落ちるが、代表レベル点の数を増やしたり、補間式の次数を上げることで容易に精度を上げることが可能である。また、逆特性演算を代表レベル点でのみ行うことにより、回路規模の縮減と、高速動作可能な回路が実現できる。また、参照テーブルを用いず、局部復調器により常に電力増幅器の特性を監視、追従しているので、無調整、自動制御が可能である。

【0056】図1の本発明の実施例におけるデータ入力部9と第1のメモリ(データメモリ)8の詳細を、図5によって説明する。図5は本発明のデータ入力部とデータメモリ部の一実施例の構成を示すブロック図である。206は x_i 成分入力端子、207は x_0 成分入力端子、208はHPA出力入力端子、50と51は遅延回路、52は直交復調器、53と54、56と57、59、510、512と513は掛算器、55、58、511、514は加算器、515はメモリ制御回路、516はメモリである。

【0057】図5において、電力増幅器(HPA)の出力信号 y が入力端子208を介して直行復調器52に与えられ、また変調入力信号の同相成分 x_i 及び直交成分 x_q は遅延回路50と51にそれぞれ与えられる。直交復調器52では復調を行い、同相成分 y_i と直交成分 y_q を出力する。同相成分 y_i は、掛算器59、512に与えられ、また、掛算器56に2乗演算するために同時に2つ与えられる。更に直交成分 y_q は、掛算器510、513に与えられ、また、掛算器57に2乗演算するために同時に2つ与えられる。

【0058】また変調入力信号は、遅延回路50と51とによってそれぞれ遅延され、直交復調器52を介してデータ入力部に戻ってくるHPA出力信号 $y = y_i + jy_q$ と時間合わせを行う。遅延された同相成分 x_i は、掛算器53に2乗演算するために同時に2つ与えられ、また遅延された同相成分 x_q は、掛算器54に2乗演算するために同時に2つ与えられる。

【0059】掛算器53と掛算器54とでそれぞれ自乗された信号は、加算器55に与えられ、加算器55で加算されることにより、式(13)の x^2 ($x^2 = x_i^2 + x_q^2$)の計算結果が加算器55から出力される。加算器55の出力 x^2 は、メモリ制御回路515とメモリ516とに与えられる。同様に、掛算器56と掛算器57でそれぞれ自乗された信号は、加算器58に与えられ、加算器58で加算されることにより、式(13)の y^2 ($y^2 = y_i^2 + y_q^2$)の計算結果が加算器58から出力される。加算器58の出力 y^2 はメモリ516に与えられる。

【0060】また、遅延回路50の出力信号 x_i は掛算器59と掛算器513とも与えられ、遅延回路51の出力信号 x_q は掛算器510と掛算器512とも与えられる。掛算器59の出力と掛算器510の出力とはそれぞれ加算器511に与えられ、加算器511で加算されることにより、式(13)の $xy \cos \phi$ ($xy \cos \phi = x_i y_i + x_q y_q$)の計算結果 c が加算器511から出力される。加算器511の出力 c ($c = xy \cos \phi$)はメモリ516に与えられる。また同様に、掛算器513の出力と掛算器512の出力とはそれぞれ加算器514に与えられ、加算器514で加算(ただし、掛算器513の出力は減算)されることにより、式(13)の $-xy \sin \phi$ ($-xy \sin \phi = x_q y_i - x_i y_q$)の計算結果 s が加算器514から出力される。加算器514の出力 s ($s = -xy \sin \phi$)はメモリ516に与えられる。

【0061】次に、メモリ制御回路515では、入力する x

$$f(p) = f_0(p - p_1)(p - p_2) / ((p - p_1)(p - p_2)) \\ + f_1(p - p_0)(p - p_2) / ((p_1 - p_0)(p_1 - p_2)) \\ + f_2(p - p_0)(p - p_1) / ((p_2 - p_0)(p_2 - p_1)) \\ (\text{ただし、} p_i = (x^i)^{1/2})$$

【0066】式(14)は、 (p_0, f_0) , (p_1, f_1) , (p_2, f_2) の3点を通る2次多項式である。 f_i は4個のデータ($x^i, y^i, xy \cos \phi, -xy \sin \phi$)を代表して表わしたものである。また、入力信号レベル p_i は、 (x^i)

2 のデータから、

$$p = (x_i^2 + x_q^2)^{1/2} = (x^i)^{1/2}$$

を算出することによって入力信号レベル p を求める。

【0062】入力信号レベル p は、0から最大入力レベル p_{max} 間での任意の値を取り得る。そこで、入力信号レベル p の変動範囲を予め定めた間隔で N 分割(N は自然数)して、メモリ516の記憶領域を、例えば図5(b)のように、0から N の $(N+1)$ 個に分割しておく。 $(p_{i-1} + p_i) / 2 < p < (p_i + p_{i+1}) / 2$ となるデータ(x^i, y^i, c, s)を i 番目の記憶領域に格納し、データが格納されたことを示すフラグ f を1にセットする。新たなデータが既にデータが格納されている記憶領域である場合には、新旧データの入力信号レベル値 p を比較し、レベル代表値 p_i に近い方のデータを残す。こうして、メモリ516の全記憶領域のフラグ f がセットされるまで、以上の操作を繰り返す。

【0063】図5の実施例に拠れば、入力信号レベルの全変動範囲に亘って細かくデータを取得する必要が無いので、データ取得に要する時間を短くでき、かつメモリの記憶容量を小さくできる。またレベル代表値に近いデータを取得することにより、逆特性計算の精度を上げることが可能となる。また、メモリに書き込むデータを出力信号そのもの(x_i, x_q, y_i, y_q)でなく、($x^i, y^i, c = xy \cos \phi, s = -xy \sin \phi$)にデータ変換しているため、補間する際の変数が入力信号レベル p の連続関数となる条件を満たすことができる。

【0064】図6によって図1の第1の補間部の具体的実施例を説明する。図6は、本発明の第1の補間部の一実施例の構成を示すブロック図である。209は入力信号レベル p の入力端子、210は x_q^2 の入力端子、211は x_i^2 の入力端子、212は x_i^2 の入力端子、213は f_0 の入力端子、214は f_1 の入力端子、215は f_2 の入力端子、60~65, 619, 620は加算器、66~68は割算器、69, 610, 611, 615~618は掛算器、612~614はデータレジスタ、621~623は平方根演算回路、242は値-1の入力端子、216は補間出力 $f(p)$ の出力端子である。

【0065】補間には式(4)に示したラグランジの補間多項式を用いる。図6では補間多項式の次数を2次とした例を示している。式(4)で次数 $M = 2$ とすると、補間多項式は次の式(14)となる。

……式(14)

$^{1/2}$ によって求めることができる。補間を精度良く行うために、補間するレベル点 p が p_i に近くなるように p_0, p_1, p_2 を選ぶ。

【0067】式(14)の補間係数の計算において、次の式

(15)とくと、

$$d_0 = (p - p_0) / (p_1 - p_0)$$

$$d_1 = (p - p_1) / (p_2 - p_0)$$

$$d_2 = (p - p_2) / (p_0 - p_1)$$

$$c_0 = d_1 d_2, \quad c_1 = d_2 d_0, \quad c_2 = d_0 d_1$$

……式(15)

補間多項式は

$$f(p) = -f_0 c_0 - f_1 c_1 - f_2 c_2 \quad \text{……式(16)}$$

となり、補間係数は4個のデータの補間に共通に使えることがわかる。

【0068】式(15)と式(16)の演算を図6の構成によって実行する。まず、補間を行うレベル p に対し、 $(p_{i-1} + p_i) / 2 < p < (p_i + p_{i+1}) / 2$ となる i を求め、第1のメモリの $i-1$ 、 i 、 $i+1$ 番目の記憶領域から、 x^1 データを読み出し、入力端子210、211、212からそれぞれ、平方根演算回路621、621、623に与え、平方根演算回路621、621、623によって、信号レベルデータ p_0 、 p_1 、 p_2 を求める。

【0069】入力信号レベル p は入力端子209を介して、加算器60、61、62にそれぞれ与えられ、また、平方根演算回路621の出力 p_0 が加算器60、平方根演算回路622の出力 p_1 が加算器61、平方根演算回路623の出力 p_2 が加算器62にそれぞれ与えられる。この結果、加算器60、61、62は、それぞれ、 $p-p_0$ 、 $p-p_1$ 、 $p-p_2$ を計算し、被除数値としてそれぞれ割算器67、68、66に与える。

【0070】また、加算器65、63、64によってそれぞれ、 p_1-p_2 、 p_2-p_0 、 p_0-p_1 を計算し、それぞれ割算器67、68、66に与える。これらの入力データによって、割算器67、68、66では、式(15)の d_0 、 d_1 、 d_2 を計算する。割算器67の出力 d_0 は掛算器610と611とに与えられ、割算器68の出力 d_1 は掛算器69と610とに与えられ、割算器66の出力 d_2 は掛算器69と611とに与えられる。

【0071】掛算器69によって補間係数 c_0 を計算し、求めた補間係数 c_0 はデータレジスタ612に与えられ記憶される。同様に、掛算器611によって補間係数 c_1 を計算し、求めた補間係数 c_1 はデータレジスタ613に与えられ記憶され、掛算器610によって補間係数 c_2 を計算し、求めた補間係数 c_2 はデータレジスタ614に与えられ記憶される。

【0072】次に、第1のメモリ8の $i-1$ 、 i 、 $i+1$ 番目の記憶領域から、入力信号の振幅2乗値 x^2_{i-1} 、 x^2_i 、 x^2_{i+1} を読み出し、式(16)の f_0 、 f_1 、 f_2 とし、入力端子213、214、215を介して、掛算器615、616、617にそれぞれ与える。掛算器615では、入力した f_0 に補間係数 c_0 を乗算し、 $c_0 f_0$ を求め掛算器618に与える。また、掛算器616では、入力した f_1 に補間係数 c_1 を乗算し、 $c_1 f_1$ を求め加算器619に与える。更に掛算器617では、入力した f_2 に補間係数 c_2 を乗算し、 $c_2 f_2$ を求め加算器620に与える。

【0073】掛算器618では、入力端子242から与えられた値 -1 を乗算し、 $-c_0 f_0$ を加算器619に与える。そして加

算器619では、 $-c_0 f_0$ から乗算器616から与えられた $c_1 f_1$ を減算し、 $-c_0 f_0 - c_1 f_1$ として加算器620に与える。更に、加算器620では、 $-c_0 f_0 - c_1 f_1$ から乗算器617から与えられた $c_2 f_2$ を減算し、 $-c_0 f_0 - c_1 f_1 - c_2 f_2$ ($= f(p)$)として出力端子216を介して出力する。このように、入力信号レベル p における入力信号振幅2乗値 $x^2(p)$ として出力する。同様の演算を出力信号振幅2乗値 y^2 、及び $xy \cos \phi$ 、 $-xy \sin \phi$ について行う。

【0074】図6に示した第1の補間の実施例では、補間する入力信号レベル点の両側のデータを用いてデータ補間を行うので、精度良く補間を行うことができる。また補間係数は4個のデータについて共通に用いることができるので、演算処理量を大幅に縮減できる。

【0075】図6の実施例では、割算器を用いて補間係数を求めているが、一般に用いられているDSP（デジタル信号処理プロセッサ）では割算器が用意されていない場合が多い。その場合にはテーブル参照や、プログラム処理により割算を実行することになるが、演算精度が落ち、処理速度が遅くなるといった問題点がある。そこで、逆数を高速に演算できる逆数演算回路の実施例を図7によって説明する。

【0076】図7は、本発明の逆数演算回路の一実施例の構成を示すブロック図である。図7(a)は逆数演算回路、図7(b)は割算回路である。220は入力値 x を入力する入力端子、221は値2の入力端子、70、73、75は掛算器、71は遅延レジスタ、72は加算器、74は逆数演算回路、222は入力値 b の逆数 $1/x$ を出力する出力端子である。

【0077】図7(a)において逆数を計算するために、前述したニュートン法による漸化式（式(12)）を用いる。入力値を b としたときの逆数 $x = 1/b$ を求めるために、 $f(x) = 1/x - b = 0$ を解く。 $f(x)$ を微分して、 $f'(x) = -1/x^2$ とし、式(12)に代入すると、漸化式（式(17)）が得られる。

$$\begin{aligned} x_n &= x_{n-1} + x_{n-1}^2 (1/x_{n-1} - b) \\ &= x_{n-1} (2 - bx_{n-1}) \end{aligned} \quad \text{……式(17)}$$

（ただし、繰り返し回数 n は1ずらしてある）。

【0078】式(17)を回路で実行するには、図7(a)に示すように、入力値 x を掛算器70によって遅延レジスタ71に格納した x_{n-1} （前回の計算結果）と乗算し、乗算結果を加算器72により（入力端子221から与えられる数値）2から引き、加算器72の出力に再び、掛算器73によって x_{n-1} を乗算して、新しい計算結果 x_n を得る。 x_n は次の計算のために遅延レジスタ71に格納する。以上の演算を繰り返し実行すると、 x_n は $1/x$ （入力値 x の逆数）に収束する。遅延レジスタに設定する初期値は結果に近い値にすると、収束が速く3回ぐらいの繰り返しで十分な精度が得られる。

【0079】図7(a)に示した逆数演算回路により、割算を実行するには、図7(b)に示すように逆数演算回路7

4で除数 x の逆数を求め、これを掛算器75で被除数18に乘算することで、商 y/x を計算できる。図7に示した実施例により、割算命令の無いDSPでも精度良く逆数を求めることができる。

【0080】図1の実施例で示した逆特性計算部は、式(8)を直接計算することにより、構成することができるが、式(8)から解るように、割算演算が必要であり、図7の逆数演算回路を用いても高速なDSPが必要となる。そこで、図4に示すようにフィードバックループを用いて、漸近的に逆特性の計算を式(10)によって行う逆特性計算部の一実施例を図8に示す。

【0081】図8は本発明の逆特性計算部の一実施例の構成を示すブロック図である。226は x^i 入力端子、227は y^i 入力端子、228は $xy \cos \phi$ 入力端子、229は $-xy \sin \phi$ 入力端子、80、82、83、86~89、811、812、816、817は掛算器、810、813は加算器、81は逆数平方根演算回路、84、814、815は遅延レジスタ、85は累積乗算器、818は三角関数累算器、230は a_i 出力端子、231は a_0 出力端子、818は掛算器88、89、811、812と加算器810、813と遅延レジスタ814、815の回路要素で構成された三角関数累算器である。

【0082】図8において、第1の補間部7で求めた信号レベル代表値 p_i での補間データ x^i 、 y^i 、 $xy \cos \phi$ 、 $-x y \sin \phi$ をそれぞれ入力端子226~229を介して入力す

$$\begin{aligned} \cos \phi_n &= \cos (\phi_{n-1} + \phi) \\ &= \cos \phi_{n-1} \cos \phi - \sin \phi_{n-1} \sin \phi \\ -\sin \phi_n &= -\sin (\phi_{n-1} + \phi) \\ &= -\sin \phi_{n-1} \cos \phi - \cos \phi_{n-1} \sin \phi \end{aligned}$$

……式(18)

【0085】三角関数累算器818の余弦値出力と正弦値出力に、累積乗算器85で求めた A_{n-1}^{-1} を、掛算器816と817とによってそれぞれ乗算し、逆特性データ a_i 、 a_0 とを求め、出力端子230と231とからそれぞれ出力する。求めた信号レベル代表値 p_i での逆特性データ a_i 、 a_0 は、第2のメモリの i 番目の記憶領域に格納する。また、累積乗算器85の遅延レジスタ84のデータ及び三角関数累算器818の遅延レジスタ814と815のデータを、第3のメモリの i 番目の記憶領域に格納する。こうして、全ての信号レベル代表値 p_i ($i = 0 \sim N$) に対する逆特性データを計算する。

【0086】図8の実施例では、図4で説明したように、帰還制御ループの中に累積乗算器があるので、 n 時点での入出力信号レベル逆比 A_n^{-1} が多少の誤差を含んでも、 A_n^{-1} は求める値 A^{-1} (電力増幅器の入出力レベ

$$\begin{aligned} x_n &= x_{n-1} + x_{n-1}^3 (x_{n-1}^{-2} - a) / 2 \\ &= x_{n-1} (3 - ax_{n-1}^2) / 2 \end{aligned}$$

【0088】式(19)ように、まず、入力端子232を介して与えられた入力値 x を掛算器90と91とによって遅延レジスタ95に格納した x_{n-1} (前回の計算結果) と2度の乗算を行う。次に乗算結果を加算器92により、入力端子243

る。即ち、 x^i は入力端子226を介して乗算器80と82とに与えられ、 y^i は入力端子227を介して乗算器80に与えられ、 $xy \cos \phi$ は入力端子228を介して乗算器86に与えられ、 $-xy \sin \phi$ は入力端子229を介して乗算器87に与えられる。

【0083】掛算器80で乗算し (出力 $= x^i y^i$)、更に逆数平方根演算回路81により $1/xy$ を求める。求めた $1/xy$ は、掛算器82と掛算器86と掛算器87とに与えられる。掛算器82により、 x^i 及び $1/xy$ を乗算して、 n 時点での入出力信号の逆比 $A_n^{-1} = x/y$ を計算する。逆比 A_n^{-1} は、遅延レジスタ84と掛算器83で構成した累積乗算器85に与えられ、掛算器83によって、前もって第3のメモリから読み出して遅延レジスタ84にセットした1時点前の逆特性係数 A_{n-1}^{-1} と乗算して、 n 時点での逆特性係数 A_n^{-1} を計算する。

【0084】他方、補間データ $xy \cos \phi$ と $-xy \sin \phi$ は、掛算器86と87によって、それぞれ逆数平方根演算回路81で得られた $1/xy$ を乗算して、 $\cos \phi$ と $-\sin \phi$ とする。求めた入出力位相差 ϕ の余弦値と正弦値は、三角関数累算器818によって累算される。三角関数累算器818は、式(18)の示す三角関数の加法公式を、回路により構成したもので、累積位相差 ϕ の余弦値と正弦値が遅延レジスタ814と815とに格納される。

【0087】図9は、本発明の逆数平方根演算回路の一実施例の構成を示すブロック図である。232は入力端子、90、91、93、94は掛算器、92は加算器、95は遅延レジスタ、243は値3の入力端子、244は値1/2の入力端子、233は出力端子である。逆数平方根を計算するためには、図7の逆数演算と同様にニュートン法による漸化式 (式(12)) を用いる。入力値 a の逆数平方根 $x = a^{-1/2}$ を変形して、 $x^{-2} = a$ とし、 $f(x) = x^{-2} - a = 0$ を解く。 $f(x)$ を微分すると、 $f'(x) = -2x^{-3}$ となる。 $f(x)$ および $f'(x)$ を式(12)に代入して、次式(19)が求められる漸化式である (ただし、繰返し回数 n は1ずらしてある)。

……式(19)

から与えられる数値3から引く。そして、その減算結果に、再び掛算器93によって遅延レジスタ95に格納した x_{n-1} を乗算する。更に掛算器94で、入力端子244から与えられる数値1/2を掛けて、新しい計算結果 x_n を出力端

子233を介して出力する。この新しい計算結果 x_i は、次の計算のために遅延レジスタ95に格納する。

【0089】以上の演算を繰り返し実行すると、 x_i は x_{i-1} に（入力値 x の逆数平方根）に収束する。遅延レジスタに設定する初期値は結果に近い値にすると、収束が速い。図9に示した実施例では、掛算演算だけで割算を用いないので、通常のDSPで精度良く逆数平方根を求めることができる。

【0090】図10によって、本発明による第2の補間部4の具体的実施例を説明する。図10は、本発明の第2の補間部の一実施例の構成を示すブロック図である。234は入力信号 p の同相成分 p_i 入力端子、235は入力信号 p

$$\begin{aligned} f(p) &= \sum_{j=0}^{M-1} f_j [\Pi_k \neq j, (p - p_k) / (p_i - p_k)] \\ &= \sum_{j=0}^{M-1} d_j (f_j, p_i) (p - p_k)^j \end{aligned} \quad \cdots \cdots \text{式(20)}$$

【0092】式(20)における補間係数 $d_j (f_j, p_i)$ を2次補間多項式の場合について具体的に計算すると、式(14)において、 $p_i - p_0 = -\Delta p$ 、 $p_i - p_0 = 2\Delta p$ 、 $p_0 - p_i = -\Delta p$ となり、また $p - p_i = \Delta \cdot \Delta p$ と

$$\begin{aligned} f(p) &= f_0/2 (\Delta^2 - \Delta) - f_1 (\Delta^2 - 1) + f_2/2 (\Delta^2 + \Delta) \\ &= (f_0/2 - f_1 + f_2/2) \Delta^2 + (f_1 - f_0)/2 \Delta + f_1 \\ &= d_0 \Delta^2 + d_1 \Delta + d_2 \end{aligned}$$

即ち式(21)では、補間係数の計算に割算演算が不要となる。

【0093】式(21)の演算を回路で実行する実施例を図10によって説明する。入力信号レベル p に最も近い信号レベル代表値 $p_i = i\Delta p$ を求め、第2のメモリの $i-1$ 、 i 、 $i+1$ 番目の記憶領域から、逆特性データ a_i を読み出し、 $p_i = p_i$ 、 $f_0 = a_{i-1}$ 、 $f_1 = a_i$ 、 $f_2 = a_{i+1}$ とする。加算器100によって、入力端子234と235とから与えられる入力信号 p_0 と p_i とから同相成分 $p - p_i$ を計算し、更に、掛算器101で、入力端子241から与えられる $1/\Delta p$ を乗算し、 $\Delta = (p - p_i) / \Delta p$ を求める。求めた Δ は加算器105と掛算器109とにそれぞれ与えられる。

【0094】また、掛算器102と106により、入力端子236から与えられる f_0 と入力端子238から与えられる f_1 とに、入力端子240から与えられる数値 $1/2$ を掛けて、それぞれ $1/2$ とする。そして、この $1/2f_0$ のデータと $1/2f_1$ のデータとはそれぞれ加算器103と加算器107とに与えられる。また、入力端子237を介して、 f_1 が加算器104と加算器1010とに系数 d_0 として与えられる。

【0095】加算器103では加算を行い、 $1/2f_0 + 1/2f_1$ を出力し加算器104に与え、加算器107では d_0 を減算して、 $1/2f_1 - 1/2f_0 (= d_1)$ を出力し加算器108に与える。更に、加算器104では、 f_1 を減算して、係数 $d_2 = f_0/2 - f_1 + f_2/2$ を得、系数 d_2 を加算器105に与える。

【0096】掛算器105では、入力した Δ と系数 d_1 とを乗算して $(d_1 \Delta)$ 加算器108に与え、加算器108はその値を系数 d_1 と加算して $(d_1 + d_1 \Delta)$ 掛算器109に与える。掛算器109では、加算器108の値 $(d_1 + d_1 \Delta)$ に Δ を乗算し

の直交成分 p_0 入力端子、236は f_0 入力端子、237は f_1 入力端子、238は f_1 入力端子、240は数値 $1/2$ 入力端子、241は $1/\Delta p$ 入力端子、100、102、104、107、108、1010は加算器、101、102、105、106、109は掛算器である。

【0091】補間には、図6の実施例と同様に、式(4)に示したラグランジの補間多項式を用いる。しかしながら、第2の補間部4では、補間係数の分母は信号レベル代表値 $p_i = i\Delta p$ ($\Delta p = p_{N-1}/N$) で与えられるので、補間係数を Δp で正規化すると、式(4)の補間多項式は、 $p - p_k$ (K は $M/2$ (M = 偶数)、または $(M-1)/2$ (M = 奇数)) べき乗級数の形に変形できて、式(20)で表される。

おくと、 $p - p_0 = (\Delta + 1) \cdot \Delta p$ 、 $p - p_i = (\Delta - 1) \cdot \Delta p$ となるので、補間多項式は式(21)で与えられる（ただし、 $\Delta = (p - p_i) / \Delta p$ ）。

て $(d_1 \Delta + d_2 \Delta^2)$ 、加算器1010に与える。加算器1010では、 $(d_1 \Delta + d_2 \Delta^2)$ に $d_0 (= f_0)$ を加え、補間出力 $f(\Delta)$ 、即ち、入力信号レベル p における逆特性データ a_i が得られる。同様の演算を a_0 についても行う。図10の実施例では、 a_i と a_0 について同じ構成で計算ができ、しかも割算演算が不要であり、高速かつ高精度な補間演算が可能となる。

【0097】以上説明した本発明の実施例では、フィードバックループを用いているので、電力増幅器の特性変動、雑音の混入、演算の誤差等があっても自動的に収束するように動作する。また、無線機の動作終了時に、第2および第3のメモリに記憶してあるデータを、不揮発性のメモリに退避し、動作再開時に退避したデータを第2、第3のメモリに初期設定してから動作させることにより、フィードバックループの収束を非常に短時間に行える利点がある。

【0098】今回提案するアダプティブプリディストーションの概略構成を図11に示す。図11は本発明のリニアライザの一実施例の構成を示すブロック図である。HPA18'の非線形特性を取得するため、局部直交復調器11'を備えた構成としている。出力信号 y と入力信号 x の比 $(y/x = a_n \cdot e^{j\Delta\phi})$ を計算し、これを逆特性計算部で累積乗算 $(A_n = a_n \cdot A_{n-1})$ および累積加算 $(\phi_n = \Delta\phi + \phi_{n-1})$ して非線形特性 $(A_n \exp(j\phi_n))$ を求める。この逆数を入力信号に複素乗算して非線形補償信号 x' を得る。逆特性計算の構成を簡単化するため、HPA18'入力信号変化範囲を N 分割し、分割点でのみ逆特性を求め、他の点では補間、および逆補間によって計算を行う。以上の構成により本方式のアダプティブプリディス

トーションでは、累積乗算器247、および累積加算器248のレジスタに初期値1、および0を与え漸近的に非線形特性を求めていくので、HPA18'の非線形特性を測定するための特別なテスト信号は必要としない。

【0099】HPAの特性モデルとして、図12に示すような振幅位相非線形特性を与えて計算機シミュレーションを行った。変調方式、及びアダプティブプリディストーション部の諸元を図13に示す。補償前後のHPA出力信号スペクトルを図14に示す。

【0100】隣接チャネル ($f_c \pm 12.5$ KHz、 f_c は搬送周波数)において約20 dBの改善が得られた。また、初期値 ($A_0 = 1$ 、 $\phi_0 = 0$)からの収束時間は約400シンボル (50 msec)であった。漏洩電力改善量はレベル分割数Nに依存し、分割数Nを上げれば、更に改善が期待できる。また、収束時間は逆特性計算部の初期値を前回のデータとすることで、大幅に短縮することが可能である。

【0101】

【発明の効果】以上のように、本発明によれば、電力増幅器の非線形振幅特性をアダプティブプリディストーション方式を用いて補償する非線形補償回路において、参照テーブルや、近似式を用いずに直接非線形特性の逆特性を計算することができ、高精度な非線形補償が可能である。また、特別なテスト信号を必要としない。更に、逆特性の計算は少数の信号レベル代表点についてのみ行うので、非線形特性データの取得はレベル変動範囲全部に亘って行う必要がない。そのため、非線形補償回路の動作を高速にすることができ、また回路規模も小さくすることができる。また更には、参照テーブルを用いないので、製造時に初期特性を測定する必要が無く、特別なテスト信号による検査も不必要であり、無線機の通常動作時に自動的に非線形補償動作が実行することができる。また、電力増幅器の特性が温度、電源電圧、経時変動などで変動しても、局部復調器を備えて常に特性監視しているので、非線形補償特性が変わることは無い。また、本発明の実施については、割算演算、関数計算等の処理を必要としないので、通常用いられているデジタル回路による方法でも、DSPによるソフトウェア処理でも実現が可能であり、安価、小型、低消費電力の非線形補償回路が得られる。

【図面の簡単な説明】

【図1】 本発明のリニアライザの一実施例の構成を示すブロック図。

【図2】 プリディストーション方式の非線形補償の原理を説明する図。

【図3】 従来のアダプティブプリディストーション方式リニアライザの構成を示すブロック図。

【図4】 本発明の非線形補償ループの動作原理を説明するための構成を示すブロック図。

【図5】 本発明のデータ入力部とデータメモリ部の一実施例の構成を示すブロック図。

【図6】 本発明の第1の補間部の一実施例の構成を示すブロック図。

【図7】 本発明の逆数演算回路の一実施例の構成を示すブロック図。

【図8】 本発明の逆特性計算部の一実施例の構成を示すブロック図。

【図9】 本発明の逆数平方根演算回路の一実施例の構成を示すブロック図。

【図10】 本発明の第2の補間部の一実施例の構成を示すブロック図。

【図11】 本発明のリニアライザの一実施例の構成を示すブロック図。

【図12】 本発明の計算機シミュレーションに使用したHPA特性モデルを示す図。

【図13】 本発明の計算機シミュレーションに使用した変調方式及びアダプティブプリディストーション部の諸元を表した図。

【図14】 本発明の計算機シミュレーションの結果を表す図。

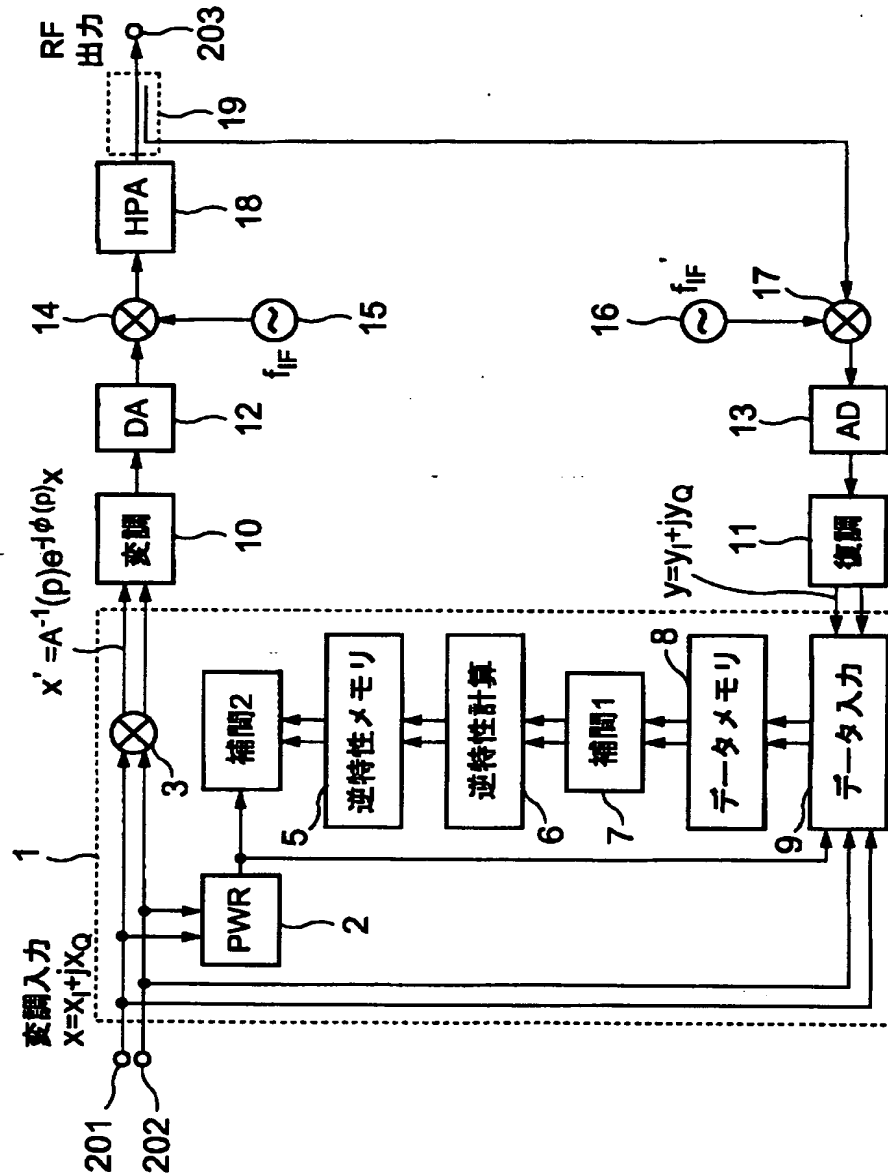
【符号の説明】

1: 非線形補償部、 2: レベル検出器、 3: 複素掛算器、 4, 4': 第2の補間部、 5: 第2のメモリ、 6, 6': 逆特性計算部、 7, 7': 第1の補間部、 8: 第1のメモリ、 9, 9': データ入力部、 10, 10': 直交変調器、 11: 直交復調器、 11': 局部直交復調器、 12: D/A変換器、 13: A/D変換器、 14: 周波数混合器、 15, 16: 局部発振器、 17: 周波数混合器、 18: HPA、 19: 方向性結合器、 20: 複素掛算器、 21: 逆特性計算部、 22: 直交変調器、 23: 直交復調器、 24: HPA、 30: 参照テーブル、 31: パワー計算部、 32: 複素掛算器、 33: 複素掛算器、 34: 係数計算部、 35: データ更新部、 40: 逆特性補償器、 41: 遅延レジスタ、 42: 掛算器、 43: 累積乗算器、 44: 加算器、 45: 遅延レジスタ、 46: 累積加算器、 47: 複素数比演算回路、 48: HPA、 50, 51: 遅延回路、 52: 直交復調器、 53, 54: 掛算器、 55: 加算器、 56, 57: 掛算器、 58: 加算器、 59: 掛算器、 60~65: 加算器、 66~68: 割算器、 69: 掛算器、 70: 掛算器、 71: 遅延レジスタ、 72: 加算器、 73: 掛算器、 74: 逆数演算回路、 75: 掛算器、 80: 掛算器、 81: 逆数平方根演算回路、 82, 83: 掛算器、 84: 遅延レジスタ、 85: 累積乗算器、 86~89: 掛算器、 90, 91: 掛算器、 92: 加算器、 93, 94: 掛算器、 95: 遅延レジスタ、 100: 加算器、 101, 102: 掛算器、 103, 104: 加算器、 105, 106: 掛算器、 107, 108: 加算器、 109: 掛算器、 201, 202: 入力端子、 203: 出力端子、 217, 218: 入力端子、 219: 出力端子、 245, 246: 遅延レジスタ、 247: 累積乗算器、 248: 累積加算器、 510: 掛算器、 511: 加算器、 512, 513: 掛

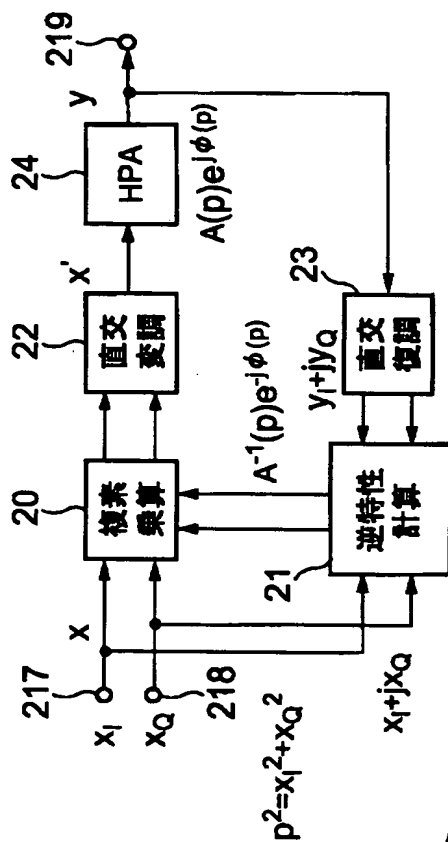
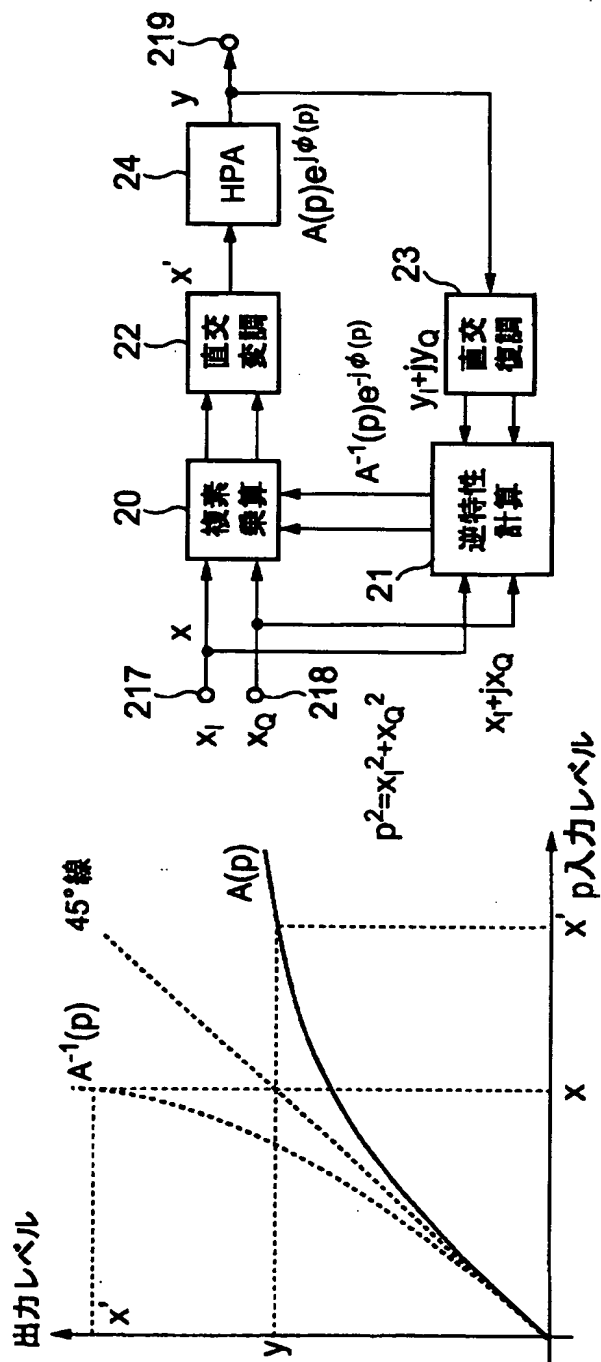
算器、514：加算器、515：メモリ制御回路、516：メモリ、610、611：掛算器、612～614：データレジスタ、615～618：掛算器、619、620：加算器、621～623：平方根演算回路、810：加算器、811、81

2：掛算器、813：加算器、814：遅延レジスタ、815：遅延レジスタ、816、817：掛算器、818：三角関数累算器、1010：加算器。

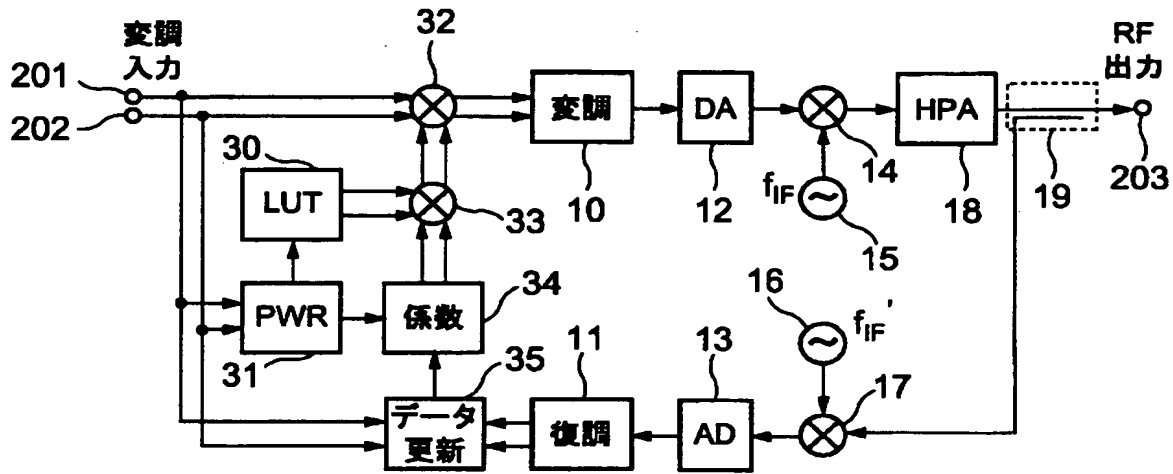
【図1】



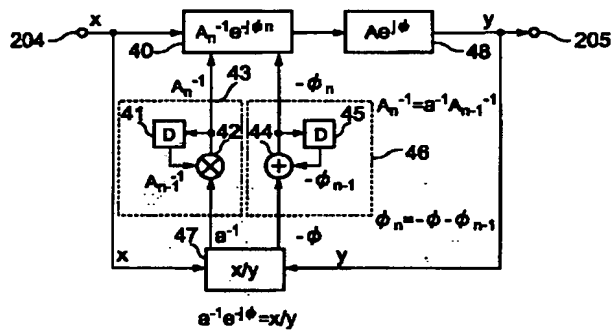
【図 2】



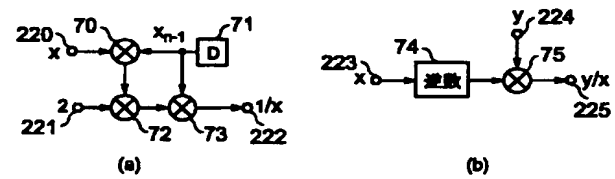
【図 3】



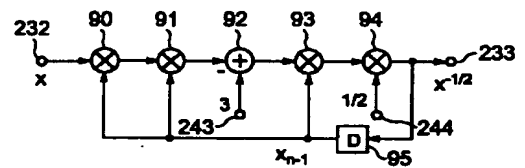
【図 4】



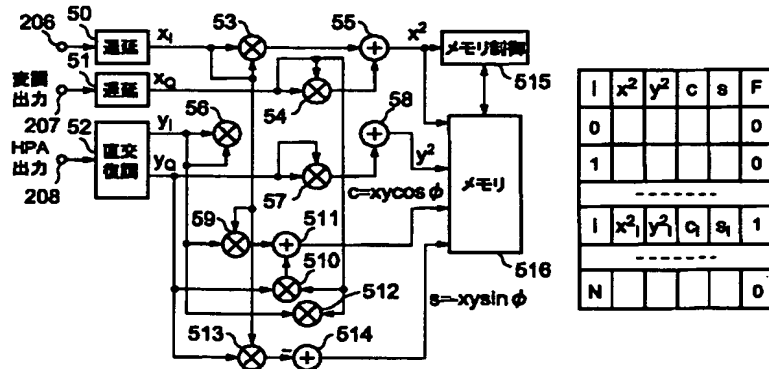
【图 7】



【图9】



【図 5】



【图 1 3】

表 1 方式諸元

項目	諸元
変調方式	$\pi/4$ DPSK
データ伝送速度	18kb/s
伝送帯域幅	8kHz
ビット率	0.2
シンクシンク速度	128kHz
補間方式	サグシンク補間
補間次数	2次多項式
1/8分割数N	12

Figure 1 is a block diagram of a polynomial evaluation circuit. The circuit takes inputs p , x_0^2 , x_1^2 , x_2^2 , f_0 , f_1 , and f_2 . It includes three square root blocks (621, 622, 623) and several adders (60-69) and multipliers (610-618). The output is $f(p) = f_0c_0 + f_1c_1 + f_2c_2$.

Formulas for intermediate variables:

$$d_0 = (p - p_0) / (p_1 - p_2)$$

$$d_1 = (p - p_1) / (p_2 - p_0)$$

$$d_2 = (p - p_2) / (p_0 - p_1)$$

$$c_0 = d_1 d_2$$

$$c_1 = d_2 d_0$$

$$c_2 = d_0 d_1$$

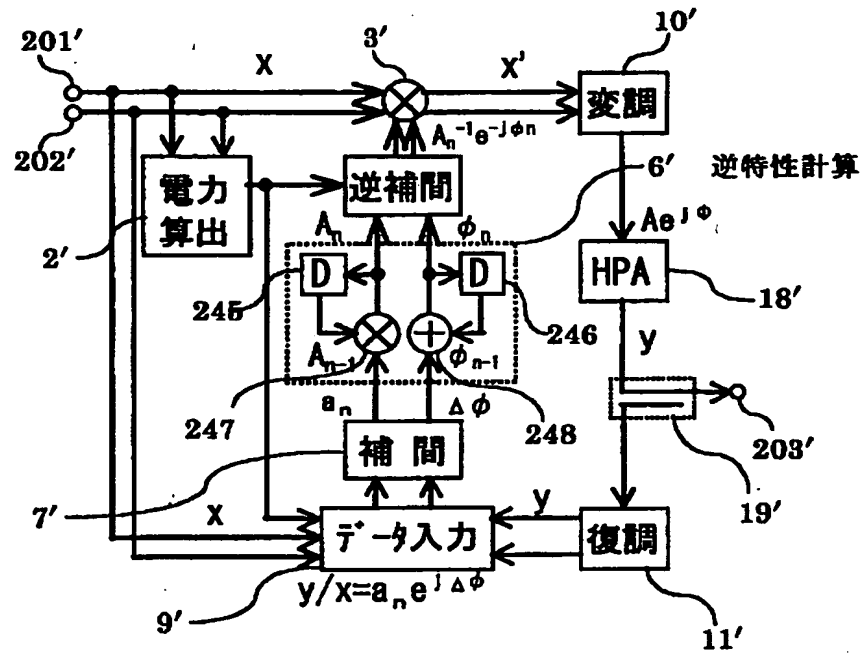
Figure 1 is a block diagram of a digital filter. The diagram shows two parallel processing paths for inputs p , p_1 , f_0 , f_1 , and f_2 . The top path calculates $\Delta = (p - p_1) / \Delta p$ using multipliers 100, 101, and 102, and adders 103 and 104. The bottom path calculates d_0 , d_1 , and d_2 using multipliers 105, 106, 107, and 108, and adders 109 and 110. The final output $f(\Delta)$ is calculated as $d_2\Delta^2 + d_1\Delta + d_0$ using multiplier 109 and adder 110. Formulas for d_2 , d_1 , and d_0 are provided on the right.

$$d_2 = f_0/2 - f_1 + f_2/2$$

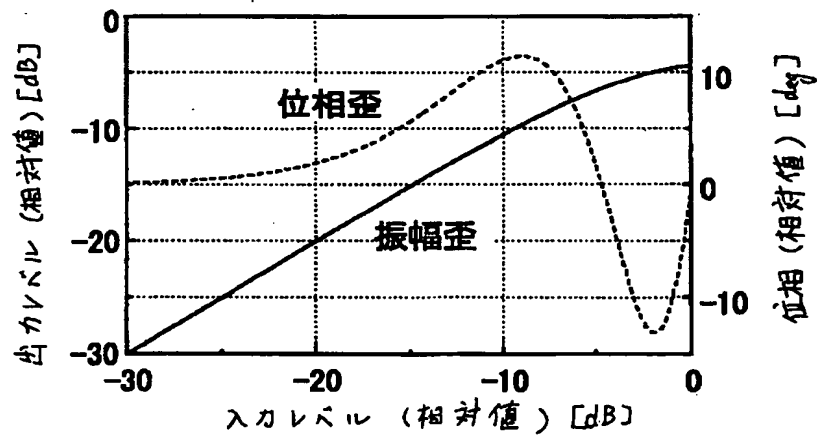
$$d_1 = f_2/2 - f_0/2$$

$$d_0 = f_1$$

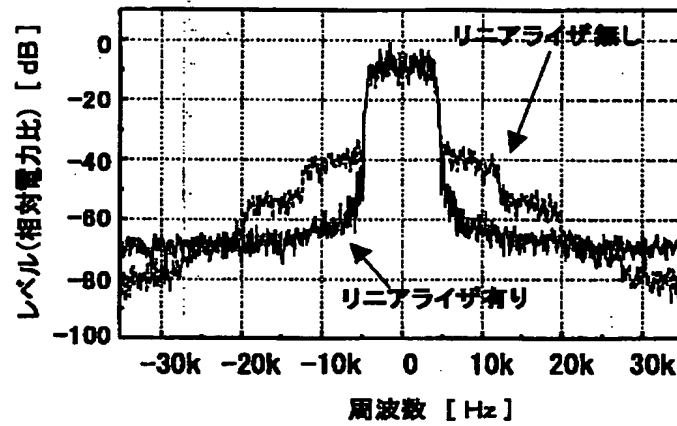
【図11】



【図12】



【図14】



【手続補正書】

【提出日】平成12年4月19日(2000.4.19)

【手続補正1】

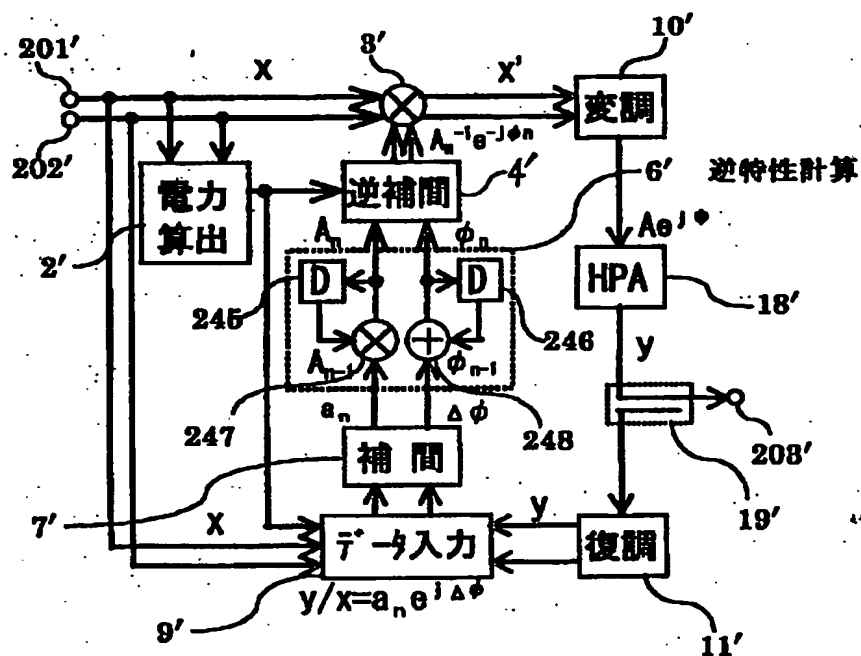
【補正対象書類名】図面

【補正対象項目名】図1

【補正方法】変更

【補正内容】

【図1】



Fターム(参考)	5J090	AA01	AA41	CA21	CA65	CA92	
		FA08	FA17	GN03	KA00	KA15	
		KA26	KA32	KA33	KA34	KA46	
		KA53	KA55	KA68	MA11	NN11	
		SA14	TA01	TA02	TA03		
	5J091	AA01	AA41	CA21	CA65	CA92	
		FA08	FA17	KA00	KA15	KA26	
		KA32	KA33	KA34	KA46	KA53	
		KA55	KA68	MA11	SA14	TA01	
		TA02	TA03				
	5K004	AA05	FA09	FE10			